

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-237841

(43)Date of publication of application : 09.09.1997

(51)Int.Cl.

H01L 21/8234
H01L 27/088
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242
H01L 29/78

(21)Application number : 08-042909

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.02.1996

(72)Inventor : ITO TAKAO
AYABE MASAYUKI

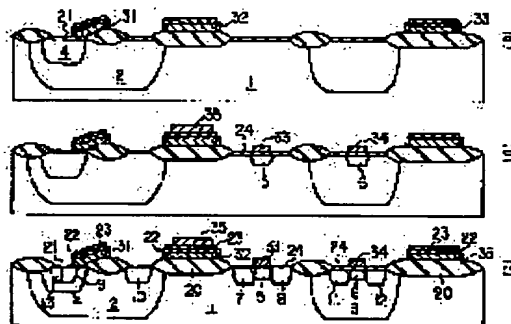
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a semiconductor device in which a DMOS transistor and a fine CMOS transistor are formed in one substrate by a method wherein a gate insulating film and a gate electrode which constitute a DMOS transistor are formed in a first region on a semiconductor substrate and a thin gate insulating film and a gate electrode which constitute a CMOS transistor are formed in a second region.

SOLUTION: A first gate 31 to be used as the gate of a DMOS transistor is formed on a first gate oxide film 21 and a field oxide film 20 so as to correspond to a well region 2, and a lower electrode 32 and a resistor 33 are formed on respective predetermined field oxide films 20.

A gate insulating film 23 of a CMOS transistor is formed. A second gate oxide film 24 is formed, and second gates 33, 34 to be used as gates of the CMOS transistors and the upper electrode 35 of a capacitor are formed simultaneously. Thereby, it is possible to obtain an integrated circuit in which the DMOS transistor and the fine CMOS transistor are formed in a mixed manner and whose reliability is high. In addition, it is possible to obtain an integrated circuit in which the fine CMOS transistor, the DMOS transistor, the capacitor and the resistor are integrated.



LEGAL STATUS

[Date of request for examination] 07.09.2000

[Date of sending the examiner's decision of rejection] 09.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted r gistration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
d cision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-237841

(43)公開日 平成9年(1997)9月9日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8234		H 0 1 L 27/08	1 0 2 A
	27/088		27/04	C
	27/04		27/10	6 5 1
	21/822		29/78	3 0 1 D
	27/108			

審査請求 未請求 請求項の数12 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願平8-42909

(22)出願日 平成8年(1996)2月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 伊藤 隆夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者 綾部 昌之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

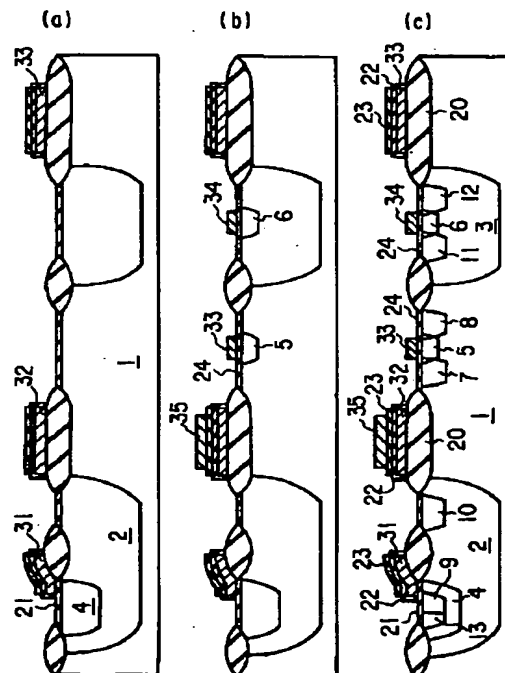
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 DMOSと微細なCMOSを混載する集積回路において、DMOSとCMOSのゲート酸化膜を同時に形成するので、CMOSのゲート酸化膜の薄膜化の要請に対応できなかった。また、ゲート形成後にDMOSのチャネル領域形成のために高温長時間の熱拡散工程を行うので、CMOSのチャネルプロファイルの制御性に問題が生じた。

【解決手段】 まず、DMOSのゲート酸化膜21およびゲート電極31を形成する。同時に、キャパシタの下部電極32と抵抗33も形成する。続いて、DMOSのチャネル領域4形成のための熱拡散を行い、その後、CMOSのゲート酸化膜23とゲート電極33、34を形成する。同時に、キャパシタの上部電極35と抵抗を作成する。



1

【特許請求の範囲】

【請求項 1】 二重拡散 MOS (DMOS) トランジスタを形成するための第 1 の領域と CMOS トランジスタを形成するための第 2 の領域を有する半導体基板と、前記第 1 の領域の表面に形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成され、前記 DMOS トランジスタを構成する第 1 のゲート電極と、前記第 2 の領域の表面に形成され、前記第 1 のゲート絶縁膜より薄い第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成され、前記第 1 のゲート電極よりゲート長が短く、CMOS トランジスタを構成する第 2 のゲート電極とを具備することを特徴とする半導体装置。

【請求項 2】 前記 CMOS トランジスタのゲート長は、 $1\mu\text{m}$ 以下であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記 DMOS トランジスタの電源電圧は、CMOS トランジスタの電源電圧より高く設定されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記半導体基板上に設けられた素子分離領域と、前記素子分離領域上に設けられたキャパシタとを有し、前記キャパシタは、前記第 1 のゲート電極と同一材料によって構成された第 1 の電極と、前記第 1 の電極上に設けられ、前記第 1 の電極上に設けられた絶縁層と同一材料によって構成されたキャパシタ絶縁膜と、前記キャパシタ絶縁膜上に設けられ、前記第 2 のゲート電極と同一の材料によって構成された第 2 の電極とを有することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記半導体基板上に設けられた素子分離領域と、前記素子分離領域上に設けられ、前記第 1 のゲート電極と同一材料によって構成された抵抗とを有することを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 第 1 導電型の半導体基板の表面に素子分離領域を形成する工程と、前記素子分離領域により分離された半導体基板内に DMOS トランジスタを形成するための第 2 導電型の第 1 のウェル、及び CMOS トランジスタを形成するための第 2 導電型の第 2 のウェルを形成する工程と、前記第 1 のウェルの表面上に第 1 のゲート絶縁膜を形成する工程と、前記第 1 のゲート絶縁膜上に第 1 の導電層としてのアモルファスシリコンを堆積し低温でアニールすることで、第 1 のゲートを形成する工程と、前記第 1 のゲートと自己整合的に前記第 1 のウェル内に第 1 導電型の第 1 の半導体領域を形成する工程と、前記第 2 のウェル表面及び前記半導体基板表面に前記第

2

1 のゲート絶縁膜より薄い膜厚の第 2 のゲート絶縁膜を形成する工程と、

前記第 2 のゲート絶縁膜上に第 2 の導電層よりなる第 2 のゲートを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 1 の半導体領域は、 950°C 以上の熱拡散工程により形成され、前記第 2 のゲート絶縁膜を形成する工程以降は、 900°C 以下の熱拡散工程及び 1 分以下の高温 RTA 工程以外の熱工程は使用されないことを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 前記第 1 の導電層は、 600°C 以下で LPCVD 法によりアモルファスシリコンを堆積し、その後 800°C 以下でアニールを行うことで形成されることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 9】 前記第 1 のゲートは、前記第 1 の導電層を堆積し、前記第 1 の導電層の上に誘電体を堆積し、前記誘電体および前記第 1 の導電層を一つのマスクでパターニングし順次エッチングして形成されることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 10】 前記第 1 の導電層は、 600°C 以下で LPCVD 法によりアモルファスシリコンを堆積することで形成され、前記誘電体は、 800°C 以下で形成されることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 11】 前記第 1 の半導体領域を形成した後に、トランジスタのしきい値制御のためのチャネルイオン注入を行う工程をさらに具備することを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 12】 前記素子分離領域上に順次形成された前記第 1 の導電層及び前記誘電体を前記第 1 のゲートと同時にパターニングして、抵抗及びキャパシタの第 1 の電極とキャパシタ絶縁膜を形成し、このキャパシタ絶縁膜上に形成された第 2 の導電層を前記第 2 のゲートと同時にパターニングすることによりキャパシタの第 2 の電極を形成することを特徴とする請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路に関するもので、特に DMOS (Double-diffused MOS) トランジスタ (以下 DMOS と呼ぶ)、微細な CMOS トランジスタ (以下 CMOS と呼ぶ)、キャパシタ、及び抵抗を混載した半導体装置とその製造方法に関する。

【0002】

【従来の技術】 図 3 は、従来の DMOS と CMOS を混載した半導体集積回路の製造方法を示す断面図である。まず、P 型半導体基板 101 に、拡散法を用いて N ウェル領域 102、103 を形成し、選択酸化技術を用いてフィールド酸化膜 120 を形成する。図 3 (a) は、こ

40

50

3

の段階での素子の断面を表す。

【0003】続いて、素子領域に約50nmのゲート絶縁膜121を成長させ、NMOSおよびPMOSの閾値電圧(V_{th})の調整のために必要なイオン注入を行い、基板101、Nウェル領域103内にチャネルイオン領域104、105を形成する。さらに、ウェハの全面に膜厚約300nmの多結晶シリコンを成長させ、リンを拡散させて多結晶シリコンの抵抗値を下げる。その後、フォトリソグラフィ技術を用いてパターンニングを行いゲート電極131、132、133を形成する。図3(b)は、この段階での素子の断面を示す。

【0004】その後、図示せぬレジストを塗布し、DMOSのソース領域となる部分を開口するようにレジストのパターンニングを行い、Nウェル領域102内にDMOSのゲート電極131と自己整合的にボロンをイオン注入する。レジストを除去した後、1100℃で3時間程度の拡散を行いDMOSのチャネル部分となるP型領域106を形成する。図3(c)は、この段階での素子の断面図である。

【0005】続いて、図示せぬレジストを塗布し、DMOSとNMOSのソース・ドレイン領域となる部分を開口するようにレジストのパターンニングを行う。そして、砒素をイオン注入して、NMOSのN型のソース・ドレイン領域107、DMOSのN型のソース・ドレイン領域109を基板101、Nウェル領域102、P型領域106内にそれぞれ形成する。その後レジストを除去する。同様にレジストのパターンニングを行った後に、ボロンをイオン注入して、PMOSのソース・ドレイン領域108、DMOSのチャネル領域のコンタクト用のP型領域110をN型領域103、P型領域106内にそれぞれ形成する。図3(d)は、この段階での素子の断面を示す。

【0006】その後、図示しないが、CVD法により酸化膜を堆積して層間絶縁膜とし、この層間絶縁膜にコンタクトを開口して配線を形成する。必要に応じて多層配線を形成し、パッシベーション膜を堆積して半導体集積回路が完成する。

【0007】

【発明が解決しようとする課題】以上説明したCMOSとDMOSを混載させる半導体装置の製造方法においては、CMOSのチャネルイオン注入を行い、CMOSのゲートを形成した後に、DMOSのチャネル部分となる領域を高温・長時間の熱拡散で形成している。

【0008】ところで、CMOSのゲート長を1 μ m以下に微細化すると、ゲート酸化膜を薄くしなければならない。しかし、従来の方法のようにゲート酸化膜形成後に高温・長時間の熱工程を行うと、ポリシリコン電極やシリコン基板から不純物が酸化膜内に拡散し、ストレスが酸化膜に加わることから、ゲート酸化膜の信頼性に問題が生じる。また、CMOSの微細化に伴い、浅い領域

4

にチャネル領域の不純物プロファイルを形成する必要が生じる。しかるに、従来の方法のように、CMOSのチャネル領域を形成した後に、高温・長時間の熱工程を施すとチャネル不純物が拡散し、チャネルプロファイルの制御性が失われる。以上の理由から、ゲート酸化膜形成後に高温・長時間の熱工程を行うことは避けなければならない。そのため、DMOSとゲート長が1 μ m以下の微細なCMOSを混載することは困難であった。

【0009】また、DMOSの電流駆動能力を十分に活かすためには電源電圧を下げない方がよいが、CMOSは微細化に伴いゲート酸化膜が薄くなるため、ゲート酸化膜の信頼性維持のために電源電圧を下げる必要がある。そのため、従来の方法でDMOSをCMOSと同時に作成するとDMOSの電源電圧を下げる必要が生じ、DMOSの電流駆動能力が低下するという問題もあった。

【0010】本発明は、上記課題に鑑み、DMOSと微細なCMOSとを混載した、信頼性の高い高性能な半導体装置とその製造方法を提供することを目的とする。また、微細なCMOSとDMOS以外に、高性能なキャパシタや抵抗を集積した半導体装置とその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明は、二重拡散MOS(DMOS)トランジスタを形成するための第1の領域とCMOSトランジスタを形成するための第2の領域を有する半導体基板と、第1の領域の表面に形成された第1のゲート絶縁膜と、第1のゲート絶縁膜上に形成され、DMOSトランジスタを構成する第1のゲート電極と、第2の領域の表面に形成され、第1の絶縁膜より薄い第2のゲート絶縁膜と、第2のゲート絶縁膜上に形成され、第1のゲート電極よりゲート長が短く、CMOSトランジスタを構成する第2のゲート電極とを具備する半導体装置を提供する。

【0012】また、第1導電型の半導体基板の表面に素子分離領域を形成する工程と、素子分離領域により分離された半導体基板内にDMOSTランジスタを形成するための第2導電型の第1のウェル、及びCMOSTランジスタを形成するための第2導電型の第2のウェルを形成する工程と、第1のウェルの表面上に第1のゲート絶縁膜を形成する工程と、第1のゲート絶縁膜上に第1の導電層としてのアモルファスシリコンを堆積し低温でアニールすることで、第1のゲートを形成する工程と、第1のゲートと自己整合的に第1のウェル内に第1導電型の第1の半導体領域を形成する工程と、第2のウェル表面及び半導体基板表面に第1のゲート絶縁膜より薄い膜厚の第2のゲート絶縁膜を形成する工程と、第2のゲート絶縁膜上に第2の導電層よりなる第2のゲートを形成する工程とを含む半導体装置の製造方法を提供する。

【0013】

5

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。図1および図2は、本発明の実施例の製造工程毎の断面図を示す。図1は図2に続く工程を示しており、図2から図1へ順に説明する。

【0014】まず、図2(a)において、P型半導体基板1に拡散法を用いてNウェル領域2、3を形成し、選択酸化技術を用いて素子分離領域としてのフィールド酸化膜20を形成する。

【0015】その後、シリコン基板1上に例えば900℃の水素燃焼酸化により膜厚約20nmの第1のゲート酸化膜21を成長させる。図2(a)は、この段階での半導体素子の断面を示す。

【0016】次に、全面に第1のアモルファスシリコン30をLPCVD法により550℃で約300nm堆積する。続いて、600℃で8時間アニールして、このアモルファスシリコンを多結晶シリコン化する。こうして形成された多結晶シリコンは、配向性のよいものとなっている。その後、1000℃の窒素希釈した酸素雰囲気中で酸化して、多結晶シリコン層30上に酸化膜22を形成する。その後、多結晶シリコンが所望の抵抗値になるようにウェハ全面にリンをイオン注入する。さらに、CVD法により窒化膜(Si₃N₄)23を堆積する。その際、多結晶シリコンを水素雰囲気中でアニールすることにもなる。図2(b)は、この段階での半導体素子の断面を示す。

【0017】次いで、フォトリソグラフィによりパターンニングを行い、窒化膜22・酸化膜21・多結晶シリコン膜30を同じマスクで連続してエッチングする。これにより、DMOSのゲートとなる第1のゲート31、キャパシタの下部電極32、多結晶シリコン抵抗33を同時に形成する。前記第1のゲート31はNウェル領域2に対応して前記第1のゲート酸化膜21及びフィールド酸化膜20上に形成され、前記下部電極32、抵抗33はそれぞれ所定のフィールド酸化膜20上に形成される。前記DMOSのゲート長は例えば1.5μmないし2.0μmである。その後、800℃での水素燃焼酸化により前記第1のゲート31、下部電極32、抵抗33を構成する多結晶シリコン30の側面に薄く酸化膜を形成する。キャパシタの下部電極32上の窒化膜22・酸化膜21は、キャパシタの絶縁体として機能する。図2(c)は、この段階での素子の断面を示す。

【0018】次に、図示せぬレジストを塗布して、DMOSのソース領域となる部分が開口するようにレジストのパターンニングを行う。そして、この開口を介してDMOSのゲート31と自己整合的にボロンをイオン注入し、1000℃で1時間程度の拡散を行い、Nウェル領域2内にDMOSのチャネル部分となるP型領域4を形成する。図1(a)は、この段階での素子の断面図である。

【0019】その後、NMOS及びPMOSの閾値電圧

6

(V_{th})の調節のためにイオン注入を行い、基板1及びNウェル領域3内にチャネルイオン領域5、6をそれぞれ形成する。続いて、CMOSの素子領域に位置する酸化膜21をエッチングで除去し、800℃での水素燃焼酸化により第2のゲート酸化膜24を約15nm成長させる。この後、チャネルイオンのプロファイルを乱さないため、900℃以下の熱拡散工程及び1分以下の高温RTA(Rapid Thermal Annealing)工程以外の熱工程は使用しない。

【0020】続いて、第2の多結晶シリコンをCVD法により約300nm堆積させ、それにリンを拡散することにより抵抗値を下げる。その後、フォトリソグラフィによりパターンニングし、第2の多結晶シリコンをエッチングすることで、CMOSのゲートとなる第2のゲート33、34およびキャパシタの上部電極35を同時に形成する。CMOSのゲート長は、例えば0.8μmである。図1(b)は、この段階における素子の断面図を示す。

【0021】次いで、NMOSのゲート33の多結晶シリコンの表面を薄く酸化し、再び図示せぬ多結晶シリコンを約100nm堆積し、RIE法により多結晶シリコンのエッチバックを行い、ゲート33の側面にのみ100nmの多結晶シリコンを残す。その後、レジストを塗布し、NMOSとDMOSのソース・ドレイン領域に対して開口が形成されるようにレジストのパターンニングを行い、この開口を介して砒素をイオン注入して、NMOSのソース・ドレイン領域7、8、DMOSのソース・ドレイン領域9、10を形成する。その後、CDE(Chemical Dry Etching)法によりNMOSのゲート33の側面に残っていた多結晶シリコンを除去する。続いて、レジストのパターンニングを行い、ゲート33の両側に対応した開口を形成し、この開口を介して砒素をイオン注入し、LDD領域を形成する。さらに同様に、レジストのパターンニングを行い、PMOSのソース・ドレイン領域及びDMOSのコンタクト領域に対応して開口を形成し、この開口を介してボロンをイオン注入して、PMOSのソース・ドレイン領域11、12とDMOSのチャネル領域4のコンタクト用のP型の領域13を形成する。図1(c)は、この段階における半導体素子の断面を示す。

【0022】その後、図示しないが、CVD法により酸化膜を堆積して層間絶縁膜を形成し、コンタクトを開口し、配線を形成する。必要に応じて多層配線を行い、集積回路を完成させる。

【0023】さらに、第1の導電体である多結晶シリコンの配向性がよいことから、抵抗やキャパシタだけではなく、多結晶シリコン中にダイオードやトランジスタを形成することも可能である。

【0024】

【発明の効果】以上説明したように、本発明によれば、

7

CMOSのゲート形成前にDMOSのチャネル領域形成のための高温・長時間の熱工程が行われるため、CMOSのチャネルプロファイルを浅く制御することができる。

【0025】また、DMOSとCMOSのゲート酸化膜を独立して形成できるので、DMOS、CMOSそれぞれに最適な酸化膜厚を得ることができる。したがって、ゲート酸化膜の信頼性が向上するとともに、DMOSはCMOSより高い電源電圧を使用でき、DMOSとCMOSそれぞれで最適な電源電圧を使用することが可能となる。

【0026】また、DMOSのゲートとキャパシタ下部電極と多結晶シリコン抵抗を同時に形成し、CMOSのゲートとキャパシタ上部電極を同時に形成するため、余分な工程を増やすことなく、DMOS、CMOS、キャパシタ、多結晶シリコン抵抗を混載することができる。

【0027】しかも、アモルファスシリコンを低温で形成し低温でアニールすることにより配向性のよい多結晶シリコンが得られるために、多結晶シリコン抵抗の抵抗値の精度が向上するとともにキャパシタの信頼性が向上する。

【0028】以上のことから、DMOSと微細なCMO

8

Sとを混載した信頼性の高い高性能な集積回路を得ることができる。さらに、微細なCMOSとDMOSとキャパシタや抵抗を集積した集積回路も得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例を示す断面図。

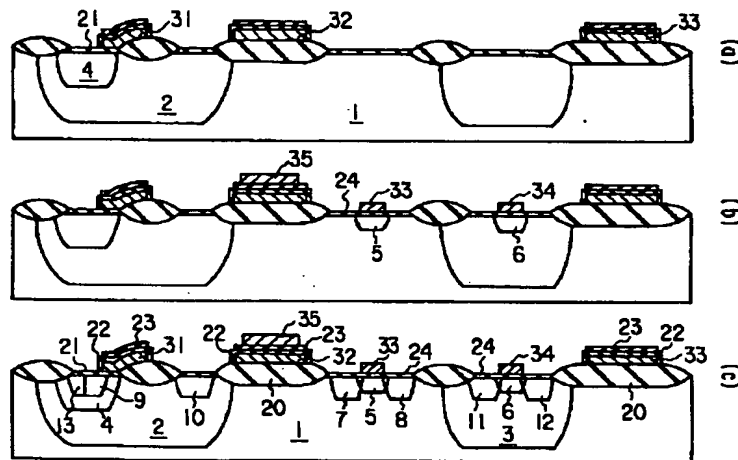
【図2】本発明の実施例を示す断面図。

【図3】従来の製造方法を示す断面図。

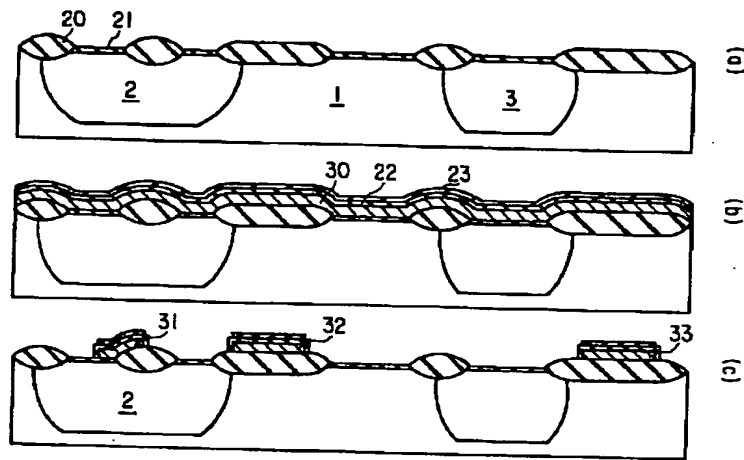
【符号の説明】

- 1…半導体基板、
- 2、3…ウェル、
- 4…DMOSのチャネル領域、
- 9、10…DMOSのソース・ドレイン領域、
- 13…DMOSのチャネル領域へのコンタクト領域、
- 21…DMOSのゲート絶縁膜、
- 22…誘電体層、
- 23…CMOSのゲート絶縁膜、
- 31…DMOSのゲート電極、
- 32…キャパシタの下部電極、
- 33…CMOSのゲート電極、
- 34…CMOSのゲート電極、
- 35…キャパシタの上部電極。

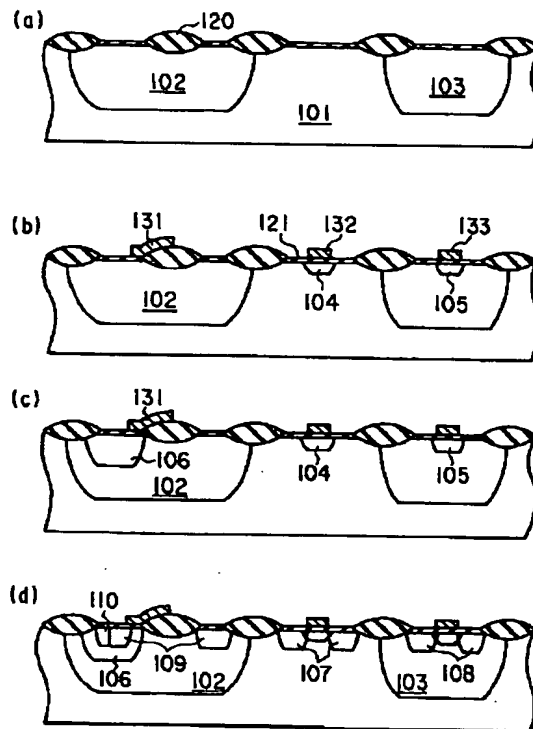
【図1】



【図 2】



【図 3】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/8242
29/78

識別記号

庁内整理番号

F I

技術表示箇所